

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

TAKASE

Group Art Unit: UNKNOWN

Application No.: New Application

Examiner: UNKNOWN

Filed: Concurrently Herewith

Attorney Dkt. No.: 108075-00113

For: SEMICONDUCTOR DEVICE AND METHOD FOR CONTROLLING DATA TRANSFER

CLAIM FOR PRIORITY

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Date: July 14, 2003

Sir:

The benefit of the filing dates of the following prior foreign application(s) in the following foreign country is hereby requested for the above-identified patent application and the priority provided in 35 U.S.C. §119 is hereby claimed:

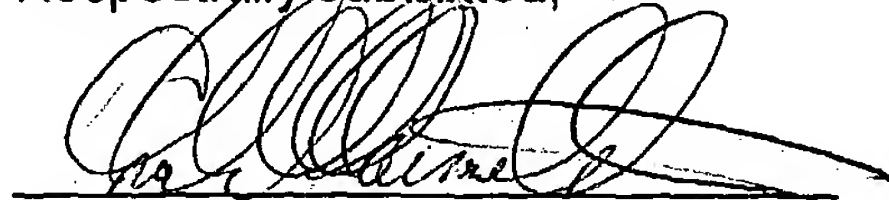
Japanese Patent Application No. 2002-209785 filed on July 18, 2002

In support of this claim, certified copy of said original foreign application is filed herewith.

It is requested that the file of this application be marked to indicate that the requirements of 35 U.S.C. §119 have been fulfilled and that the Patent and Trademark Office kindly acknowledge receipt of these/this document.

Please charge any fee deficiency or credit any overpayment with respect to this paper to Deposit Account No. 01-2300.

Respectfully submitted,



Charles M. Marmelstein
Registration No. 25,895

Customer No. 004372
ARENT FOX KINTNER PLOTKIN & KAHN, PLLC
1050 Connecticut Avenue, N.W.,
Suite 400
Washington, D.C. 20036-5339
Tel: (202) 857-6000
Fax: (202) 638-4810
CMM/jch

日本国特許庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出願年月日

Date of Application:

2002年 7月18日

出願番号

Application Number:

特願2002-209785

[ST.10/C]:

[JP2002-209785]

出願人

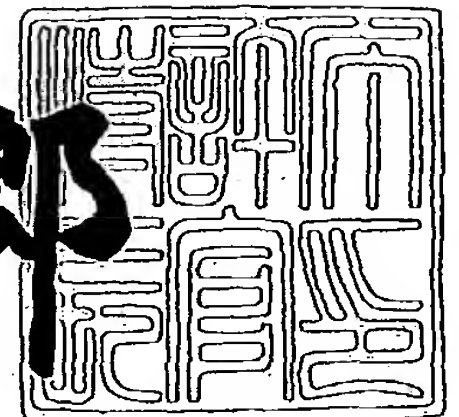
Applicant(s):

富士通株式会社

2003年 2月28日

特許庁長官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3011298

【書類名】 特許願

【整理番号】 0240552

【提出日】 平成14年 7月18日

【あて先】 特許庁長官殿

【国際特許分類】 H04L 12/00

【発明の名称】 半導体装置及びデータ転送制御方法

【請求項の数】 10

【発明者】

【住所又は居所】 愛知県春日井市高蔵寺町二丁目1 8 4 4 番2 富士通ヴ
ィエルエスアイ株式会社内

【氏名】 高瀬 弘嗣

【特許出願人】

【識別番号】 000005223

【氏名又は名称】 富士通株式会社

【代理人】

【識別番号】 100068755

【弁理士】

【氏名又は名称】 恩田 博宣

【選任した代理人】

【識別番号】 100105957

【弁理士】

【氏名又は名称】 恩田 誠

【手数料の表示】

【予納台帳番号】 002956

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

特2002-209785

【包括委任状番号】 9909792

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置及びデータ転送制御方法

【特許請求の範囲】

【請求項 1】 複数の機器とデータ転送を行うための半導体装置であって、デジタル信号の入出力を制御するデジタルインタフェースと、アナログ信号の入出力を制御するアナログインタフェースと、コンピュータ内部のメモリとバスを介して接続され前記デジタルインタフェースのデータ転送を制御する転送制御装置と、を備え、

該転送制御装置を用いて前記アナログインタフェースのデータ転送を制御することを特徴とする半導体装置。

【請求項 2】 前記転送制御装置が前記メモリをアクセスして前記アナログインタフェースと前記バスとの間で転送するデータは、所定のデータ長毎に分割されたデータであることを特徴とする請求項 1 記載の半導体装置。

【請求項 3】 前記アナログインタフェースが受信するデータを所定のデータ長毎に分割し、該分割した各々のデータにパケットヘッダ及びトレーラデータを付加して擬似的なパケットデータを生成するパケット挿入回路を備えることを特徴とする請求項 1 又は 2 記載の半導体装置。

【請求項 4】 前記転送制御装置は、前記アナログインタフェースが送信するデータを所定のデータ長毎に分割し、該分割した各々のデータにパケットヘッダを付加して擬似的なパケットデータを生成する機能を有することを特徴とする請求項 1 乃至 3 の何れか一項記載の半導体装置。

【請求項 5】 前記転送制御装置が生成したパケットデータに付加されているパケットヘッダを除去するためのパケット除去回路を備えることを特徴とする請求項 4 記載の半導体装置。

【請求項 6】 前記転送制御装置が前記アナログインタフェースと前記バスとの間で行うデータ転送には、前記転送制御装置が前記デジタルインタフェースと前記バスとの間で行うデータ転送のためのチャンネルが送信用と受信用に少なくとも 1 つずつ割り当てられることを特徴とする請求項 1 乃至 5 の何れか一項記載の半導体装置。

【請求項 7】 複数の機器とデータ転送を行うためのデジタルインタフェースとアナログインタフェースとを含む半導体装置のデータ転送制御方法であって

前記アナログインタフェースが受信するデータを所定のデータ長毎に分割し、該分割した各々のデータにパケットヘッダ及びトレーラデータを付加して擬似的なパケットデータを生成し、該パケットデータを前記半導体装置が備える転送バッファから順次読み出してコンピュータ内部のメモリに転送するようにしたことを特徴とするデータ転送制御方法。

【請求項 8】 前記パケットデータを前記メモリに格納する際に、前記パケットヘッダ及び前記トレーラデータを除去するようにしたことを特徴とする請求項 7 記載のデータ転送制御方法。

【請求項 9】 複数の機器とデータ転送を行うためのデジタルインタフェースとアナログインタフェースとを含む半導体装置のデータ転送制御方法であって

前記アナログインタフェースが送信するデータを所定のデータ長毎に分割し、該分割した各々のデータにパケットヘッダを付加して生成した擬似的なパケットデータを生成し、該パケットデータをコンピュータ内部のメモリから順次読み出して前記半導体装置が備える転送バッファに転送するようにしたことを特徴とするデータ転送制御方法。

【請求項 10】 前記パケットデータを前記転送バッファに格納する際に、前記パケットヘッダを除去するようにしたことを特徴とする請求項 9 記載のデータ転送制御方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は半導体装置及びデータ転送制御方法に係り、詳しくはコンピュータと複数の周辺機器との間のデータ転送を制御する際に有用な半導体装置に関する。

【0002】

近年、パーソナルコンピュータ（パソコン）の周辺機器はデジタル化が進み、

それらのインタフェースとしてIEEE1394インタフェースやUSBインタフェースが普及している。一方、パソコンの周辺機器には、ビデオカメラやTV等のアナログ信号で転送を実現する機器も未だ存在している。こうしたパソコンとそれに接続する複数の周辺機器との間でデジタル信号とアナログ信号の双方のデータ転送を扱う場合には、それらのデータを破綻させることなく転送を実現させることが必要である。

【 0 0 0 3 】

【従来の技術】

パソコンには様々な周辺機器が接続される。

図5は、パソコン51にハードディスク52とビデオカメラ53を接続した例を示す構成図である。

【 0 0 0 4 】

パソコン51とハードディスク52とは、例えばIEEE1394シリアルバスケーブル（以下、1394バス）54により接続され、それらの間はデジタル信号でデータ転送が行われる。一方、パソコン51とビデオカメラ53とは、同軸ケーブル55を介して接続され、それらの間はアナログ信号でデータ転送が行われる。

【 0 0 0 5 】

従来、これらのデータ転送を実現するパソコン51のマザーボード、もしくはアドインカード上には、デジタル信号のインタフェースを制御する半導体装置（1394バスコントローラ）と、アナログ信号のインタフェースを制御する半導体装置（AV I/Fコントローラ）が備えられる。

【 0 0 0 6 】

図6は、上記2つの半導体装置（インタフェースコントローラ）を搭載した従来構成を示すブロック図である。

パソコン51内において、1394バスコントローラ61及びAV I/Fコントローラ62は同一のボード63上に搭載され、各コントローラ61、62は例えばPCIバスからなるシステムバス64を介してメモリ65と接続されている。

【 0 0 0 7 】

1394バスコントローラ61は、物理層(PHY)、リンク層(LINK)を含む1394イン

タフェース 7 1 と、受信バッファ 7 2 及び送信バッファ 7 3 と、DMA コントローラ（以下、単に DMA という）7 4 と、P C I バスマスタ 7 5 とを備える。1394 インタフェース 7 1 には、上記 1394 バス 5 4（図 6 では省略；図 5 参照）が接続されている。

【 0 0 0 8 】

尚、1394 バスコントローラ 6 1 は、1394-1995 規格に準拠したものであり、DMA 7 4 は、該 1394 バスコントローラ 6 1 と上記パソコン 5 1（具体的には O S）間のインタフェースを定義した 1394-OHCI (Open Host Controller Interface) 規格に準拠したものである。

【 0 0 0 9 】

DMA 7 4 は、メモリ 6 5 内に格納されたコンテキストプログラムに従って、アシンクロナス (Asynchronous) 転送、或いはアイソクロナス (Isochronous) 転送を実現する。このコンテキストプログラムには、DMA 7 4 のステータス情報、DMA 7 4 が次に処理すべきプログラムが格納されているアドレス、送信するパケットデータが格納されているアドレスやそのパケットのデータ長、受信したパケットデータを格納するアドレス、メモリ 6 5 の容量等の情報が含まれる。

【 0 0 1 0 】

DMA 7 4 のチャンネルは、アシンクロナス転送で使用するリクエストパケットの送受信、同アシンクロナス転送でのレスポンスパケットの送受信及びアイソクロナス転送で使用するパケットの送受信毎にそれぞれ設定され、そのうちアイソクロナスパケットの送受信には少なくとも 4 チャンネルずつ設定されている。

【 0 0 1 1 】

例えば、アイソクロナス転送を行う場合において、1394 バスコントローラ 6 1 は、その転送用に設定されている DMA 7 4 の 4 つのチャンネルのうち 1 つを使用してパケットの送信／受信を行う。

【 0 0 1 2 】

詳述すると、アイソクロナスパケットの送信時、DMA 7 4 は、P C I バスマスタ 7 5 を介してメモリ 6 5 内のコンテキストプログラムを読み込み、そのプログラムに従って、2 クワドレットのパケットヘッダが先頭に付加されたパケット

データを同メモリ 6 5 内から順に読み込んで送信バッファ 7 3 に格納する。そして、1394 インタフェース 7 1 は、送信バッファ 7 3 からパケットデータを読み出し、2 クワドレットあるパケットヘッダを1 クワドレットに変換してシリアルデータでアイソクロナスパケットを1394 バス 5 4 (図 5 参照) へ送出する。尚、このデータ送信時において扱うパケットデータのフォーマットは、1394-OHCI 規格によって定義されたものである。

【 0 0 1 3 】

逆に、アイソクロナスパケットの受信時、1394 インタフェース 7 1 は、1394 バス 5 4 (図 5 参照) からシリアルデータで受け取ったアイソクロナスパケットをパラレルデータに変換し、そのパケットデータの最後にトレーラデータを付加して受信バッファ 7 2 に格納する。そして、DMA 7 4 は、前記と同様に P C I バスマスタ 7 5 を介してメモリ 6 5 内のコンテキストプログラムを読み込み、そのプログラムに従って、受信バッファ 7 2 に格納されているパケットデータを順にメモリ 6 5 内に格納する。尚、前記同様、このデータ受信時において扱うパケットデータのフォーマットは、1394-OHCI 規格によって定義されたものである。

【 0 0 1 4 】

このようにして、1394 インタフェース 7 1 とシステムバス 6 4 との間のデータ転送は、1394-OHCI 規格や1394-1995 規格によって制定される転送規格に基づいて実現される。

【 0 0 1 5 】

一方、A V I/Fコントローラ 6 2 は、A V インタフェース 8 1 と、受信バッファ 8 2 及び送信バッファ 8 3 と、コントローラ 8 4 と、P C I バスマスタ 8 5 とを備える。A V インタフェース 8 1 は、ボード 6 3 上に搭載されている図示しない A / D コンバータ及び D / A コンバータを介して上記ケーブル 5 5 (図 6 では省略；図 5 参照) と接続されている。

【 0 0 1 6 】

このような A V I/Fコントローラ 6 2 において、データ送信時、コントローラ 8 4 は、P C I バスマスタ 8 5 を介してメモリ 6 5 内に格納されているデータを予め設定されているアドレスから順に読み込んで送信バッファ 8 3 に格納する。

そして、AVインタフェース81は、送信バッファ83から読み出したデータをD/Aコンバータを介してアナログ信号に変換して出力する。

【0017】

逆に、データ送信時、AVインタフェース81は、A/Dコンバータを介して受信したデータ（デジタル信号に変換されたデータ）を受信バッファ82に格納する。そして、コントローラ84は、受信バッファ82から読み出したデータをPCIバスマスタ85を介して予め設定されているアドレスから順にメモリ65に格納する。

【0018】

【発明が解決しようとする課題】

ところで、上記のように、1394バスコントローラ61とAV I/Fコントローラ62の2つの半導体装置をボード63に搭載する構成では、ボード63上の実装面積が大きくなってしまいう問題があった。

【0019】

また、各コントローラ61、62において、デジタル信号とアナログ信号の双方のインタフェース71、81が同時に転送を実行した場合に、パソコン51のシステムバス64の帯域が不足することにより、転送データが破綻してしまう可能性があった。

【0020】

例えば、図7に示すように、AVインタフェース81がデータを送信している時に、1394インタフェース71が1394バス54からパケットを受信する。しかしながら、このときは、AV I/Fコントローラ62がデータ送信を行うためにシステムバス64の帯域を占有している（図中、AV送信で示す）。このため、1394バスコントローラ61は、システムバス64を利用することはできない。即ち、1394バスコントローラ61は、AV I/Fコントローラ62がデータ送信を終了するまで、受信したパケットをシステムバス64へ送出することができない（受信データをメモリ65に格納できない）。その結果、1394バスコントローラ61が搭載する受信バッファ72がオーバフローとなって、データが破綻してしまうことになる。こうした問題は、AVインタフェース81がデータを受信する場合に

も同様に起こり得る可能性があった。

【 0 0 2 1 】

こうした転送データの破綻を防止するための手段としては、1394バスコントローラ61内に容量の大きなバッファを内蔵することが考えられるが、このような大容量のバッファは、チップ面積が大きいためにボード63上の実装面積が増大する、及びコストが上昇するという問題があった。

【 0 0 2 2 】

本発明は上記問題点を解決するためになされたものであって、その目的は、データを破綻させることなくデジタル信号とアナログ信号の双方のデータ転送を効率良く行うことのできる半導体装置及びデータ転送制御方法を提供することにある。

【 0 0 2 3 】

【課題を解決するための手段】

上記目的を達成するため、請求項1，7～10に記載の発明によれば、複数の機器との間のデータ転送を行うための半導体装置において、デジタル信号の入出力を制御するデジタルインタフェースとアナログ信号の入出力を制御するアナログインタフェースの双方が行うデータ転送は、デジタルインタフェースのデータ転送を制御する同一の転送制御装置によって制御される。この構成では、デジタルインタフェースとバス間の転送を制御する転送制御装置が制御しやすい擬似的なデータを用いてアナログインタフェースとバス間の転送が制御される。これにより、アナログインタフェースとバス間の転送を軽減させることができ、転送制御装置は、双方のインタフェースとバスとの間のデータ転送を該バスの帯域の占有率を考慮しながら制御することができる。

【 0 0 2 4 】

請求項2に記載の発明によれば、転送制御装置がメモリをアクセスしてアナログインタフェースとバス間で転送するデータは、所定のデータ長毎に分割されたデータである。このため、デジタルインタフェースとアナログインタフェースの双方が同時に転送を行う場合に、バスの帯域が不足して転送データが破綻することはない。

【 0 0 2 5 】

請求項 3 に記載の発明によれば、パケット挿入回路は、アナログインタフェースが受信するデータを所定のデータ長毎に分割し、該分割した各々のデータにパケットヘッダ及びトレーラデータを付加して擬似的なパケットデータを生成する。これにより、転送制御装置は、アナログインタフェースが受信するデータを擬似的なアイソクロナスパケットとして扱う。

【 0 0 2 6 】

請求項 4 に記載の発明によれば、転送制御装置は、アナログインタフェースが送信するデータを所定のデータ長毎に分割し、該分割した各々のデータにパケットヘッダを付加して擬似的なパケットデータを生成する。従って、転送制御装置は、アナログインタフェースが受信するデータを擬似的なアイソクロナスパケットとして扱う。

【 0 0 2 7 】

請求項 5 に記載の発明によれば、転送制御装置が生成したパケットデータに付加されているパケットヘッダは、パケット除去回路により除去される。これにより、アナログインタフェースの送信時に不要とするパケットヘッダを取り除くことが可能である。

【 0 0 2 8 】

請求項 6 に記載の発明によれば、転送制御装置がアナログインタフェースとバス間で行うデータ転送には、転送制御装置がデジタルインタフェースとバス間で行うデータ転送のためのチャンネルが送信用と受信用に少なくとも 1 つずつ割り当てられる。同一の転送制御装置により各インタフェースが行うデータ転送が制御されるため、半導体装置に搭載する回路部品の点数を削減することができる。

【 0 0 2 9 】

【発明の実施の形態】

以下、本発明を具体化した一実施形態を図 1 ～図 4 に従って説明する。

図 1 は、本実施形態のインタフェースコントローラ（以下、I/F コントローラ）11 を構成する半導体装置のブロック図である。尚、この I/F コントローラ 11 は、図 5 に示すように、例えば複数（図では 2 つ）の周辺機器としてのハ

ードディスク 5 2 及びビデオカメラ 5 3 と接続されたパソコン 5 1 に設けられている。

【 0 0 3 0 】

具体的には、I/Fコントローラ 1 1 は、パソコン 5 1 内に設けられるボード 1 2 上に搭載され、システムバス（本実施形態では P C I バス） 1 3 を介して同パソコン 5 1 内部に設けられるメモリ 1 4 と接続されている。この I/Fコントローラ 1 1 は、デジタルインタフェースとしての 1394 インタフェース 2 1、アナログインタフェースとしての A V インタフェース 2 2、第 1 及び第 2 の転送バッファ 2 3、2 4、パケット除去回路 2 5、パケット挿入回路 2 6、転送制御装置としての DMA コントローラ（以下、DMA） 2 7 及び P C I バスマスタ 2 8 を備える。

【 0 0 3 1 】

第 1 の転送バッファ 2 3 は、1394 インタフェース 2 1 と DMA 2 7 との間に設けられ、該 1394 インタフェース 2 1 が送受信するデータを格納するための受信バッファ 3 1 及び送信バッファ 3 2 を備えている。同様に、第 2 の転送バッファ 2 4 は、A V インタフェース 2 2 と DMA 2 7 との間に設けられ、該 A V インタフェース 2 2 が送受信するデータを格納するための受信バッファ 3 3 及び送信バッファ 3 4 を備えている。

【 0 0 3 2 】

1394 インタフェース 2 1 は、パソコン 5 1 及びハードディスク 5 2 間を接続するための 1394 バス 5 4（図 5 参照）と接続されている。ここで、I/Fコントローラ 1 1 を構成する 1394 インタフェース 2 1、受信バッファ 3 1、送信バッファ 3 2、DMA 2 7、P C I バスマスタ 2 8 は、上述した図 6 に示す 1394 バスコントローラ 6 1 内の回路（7 1 ～ 7 5）と同様に構成されている。即ち、I/Fコントローラ 1 1（具体的には DMA 2 7）は、1394 インタフェース 2 1 とシステムバス 1 3 との間のデータ（パケット）転送を 1394-1995 規格及び 1394-OHCI 規格に従って実行する。

【 0 0 3 3 】

また、A V インタフェース 2 2 は、ボード 1 2 上に搭載されている図示しない

A/Dコンバータ及びD/Aコンバータを介してパソコン51及びビデオカメラ53間を接続するためのケーブル55（図5参照）と接続されている。ここで、I/Fコントローラ11を構成するAVインタフェース22、受信バッファ33及び送信バッファ34は、上述した図6に示すAV I/Fコントローラ62内の回路（81～83）と同様に構成されている。

【0034】

本実施形態において、このAVインタフェース22とシステムバス13との間で行うデータ転送は、パソコン51及びハードディスク52間のデータ転送を制御するDMA27によって行われる。

【0035】

詳述すると、アイソクロナス転送のために設定されている送信用と受信用の各々4つずつのDMA27のチャンネルのうち、それぞれ（送信用と受信用に）1つずつのチャンネルが、AVインタフェース22とシステムバス13との間で行うデータ転送のために割り当てられている。メモリ14内には、その割り当てられたDMA27のチャンネルをパソコン51のドライバソフトウェア（具体的にはOS）により起動するためのコンテキストプログラムが格納され、このコンテキストプログラムに従ってDMA27は、AVインタフェース22及びシステムバス13間でのデータ転送を実現する。

【0036】

以下、パソコン51がビデオカメラ53へデータ（アナログ信号）を送信する場合（即ちシステムバス13からAVインタフェース22へ送信データを転送する場合）について説明する。

【0037】

DMA27は、メモリ14内に格納されているコンテキストプログラムを読み出し、同メモリ14内から送信データをPCIバスマスタ28を経由して読み出す。このとき、DMA27は、コンテキストプログラムに従って、送信データをアイソクロナスパケットに相当するデータ長毎に分割してメモリ14内から読み出し、その分割したデータの先頭に、図2（a）に示すように、2クワドレットからなるパケットヘッダを付加する。

【0038】

ここで、分割したデータに付加する2ワードレットの packets ヘッダは、該分割したデータのデータ長や転送レートを明記した情報を含む。即ち、DMA 27は、メモリ14内から packets ヘッダを読み出し、その packets ヘッダを各々分割したデータに付加することにより、送信データを擬似的なアイソクロナス packets に変換する。

【0039】

DMA 27は、こうしてメモリ14内から取り込んだ送信データ（packets データ）をコンテキストプログラムに従って送信バッファ34に格納する。

このとき、DMA 27は、送信データ（packets データ）に付加されている2ワードレットの packets ヘッダを packets 除去回路25により除去して送信バッファ34に格納する。詳述すると、DMA 27がメモリ14内から送信データ（packets データ）を取り込む際に付加する packets ヘッダは、AV インタフェース22からのデータ送出時には不要である。packets 除去回路25は、送信データ（packets データ）の packets ヘッダを除去して、該送信データを送信バッファ34に格納する。

【0040】

これにより、AV インタフェース22は、送信バッファ34から packets ヘッダが除去されたデータを読み出し、その読み出したデータをボード12上の図示しないD/Aコンバータを介してアナログ信号に変換して送出する。

【0041】

次に、パソコン51がビデオカメラ53からデータ（アナログ信号）を受信する場合（即ちAV インタフェース22からシステムバス13へ受信データを転送する場合）について説明する。

【0042】

AV インタフェース22は、ビデオカメラ53から送信されるアナログ信号のデータを図示しないA/Dコンバータによりデジタル信号に変換して入力し、その受信データを受信バッファ33に格納する。

【0043】

パケット挿入回路26は、その受信バッファ33内の受信データを所定のデータ長毎に分割してデータ変換する。詳述すると、パケット挿入回路26は、受信バッファ33内の受信データをアイソクロナスパケットに相当するデータ長毎に分割し、その分割したデータの先頭と最後に、図2(b)に示すように、それぞれ1クワドレットからなるパケットヘッダとトレーラデータを付加する。

【0044】

ここで、分割したデータにそれぞれ付加するパケットヘッダは、該分割したデータのデータ長を明記した情報を含む。また、トレーラデータは、タイムスタンプの情報とDMA27のステータス情報とを含む。これにより、パケット挿入回路26は、受信バッファ33内の受信データを擬似的なアイソクロナスパケットに変換する。

【0045】

DMA27は、その変換された受信データ（パケットデータ）をメモリ14内に格納されているコンテキストプログラムに従って受信バッファ33から読み出し、その読み出した受信データ（パケットデータ）をPCIバスマスタ28を経由してメモリ14に順次格納する。

【0046】

尚、このとき、1394-OHCI 規格で規定されているDMA27のパケットヘッダ除去機能を利用することにより、受信データ（パケットデータ）に付加されているパケットヘッダ及びトレーラデータをDMA27が除去してメモリ14に格納するようにしてもよい。

【0047】

図3は、AVインタフェース22及びシステムバス13間でのデータ取り込み方法を示すタイミングチャートである。

まず、送信データの取り込み方法を図3(a)に従って説明する。

【0048】

DMA27は、システムバス13を駆動するクロック信号に基づいて、2クワドレットからなるパケットヘッダを送信データに付加して生成した擬似的なアイソクロナスパケットをメモリ14内から順次読み出す。

【0049】

パケット除去回路25は、そのDMA27により読み出された送信データ（パケットデータ）に付加されている2クワドレットのパケットヘッダを除去する。具体的には、パケット除去回路25は、DMA27が（2クワドレットの）パケットヘッダを送信バッファ34に格納する際には、該送信バッファ34への書き込みを行うためのライトイネーブル信号をマスクして無効化する。これにより、DMA27は、パケットヘッダを除去したデータのみを送信バッファ34に格納する。

【0050】

その後、AVインタフェース22は、該AVインタフェース22を駆動するクロック信号に基づいて、送信バッファ34からデータ（パケットヘッダを除いたデータ）を順次読み出す。

【0051】

ちなみに、図3（a）に示すように、システムバス13のクロック信号は、AVインタフェース22のそれよりも高速である（即ち転送レートが高い）。従って、DMA27が読み出す分割されたデータ（パケットデータ）は、AVインタフェース22からは実質的にほぼ連続したデータで出力される。

【0052】

次に、受信データの取り込み方法を図3（b）に従って説明する。

AVインタフェース22は、A/Dコンバータ（図示略）を介して受信したデータを、該AVインタフェース22のクロック信号に基づいて受信バッファ33に順次格納する。

【0053】

パケット挿入回路26は、その受信バッファ33内の受信データにそれぞれ1クワドレットからなるパケットヘッダとトレーラデータを付加して擬似的なアイソクロナスパケットを生成し、DMA27は、そのパケットデータをシステムバス13のクロック信号に基づいて受信バッファ33から読み出す。具体的には、パケット挿入回路26は、DMA27が受信バッファ33からデータを読み出す際に1クワドレットのパケットヘッダを付加し、その後、DMA27がアイソク

ロナスパケットのデータ長に相当するデータを受信バッファ33から読み出した後に1クワドレットのトレーラデータを付加する。これにより、DMA27は、AVインタフェース22が受信するデータを、擬似的なアイソクロナスパケットとして受信バッファ33から読み出す。

【0054】

ちなみに、図3(b)に示すように、システムバス13のクロック信号は、AVインタフェース22のそれよりも高速である（即ち転送レートが高い）。従って、このような双方の転送レートの差異により、パケット挿入回路26は、AVインタフェース22が受信するデータに上記パケットヘッダ及びトレーラデータを挿入する時間を確保することが可能である。

【0055】

図4は、本実施形態のI/Fコントローラ11を用いた場合のシステムバス13の状態遷移図である。

今、I/Fコントローラ11は、AVインタフェース22からデータ送信を行うためにシステムバス13の帯域を使用している（図中、AV送信）。その際、I/Fコントローラ11は、上記したように、AVインタフェース22から送信するデータを擬似的なアイソクロナスパケットに変換してメモリ14内から取り込み、AVインタフェース22に転送する。

【0056】

従って、AVインタフェース22から送信すべきデータの転送処理が全て終了するまでに1394インタフェース21がデータを受信する場合、I/Fコントローラ11は、システムバス13を使用して同1394インタフェース21が受信したデータをメモリ14へ格納することが可能である（図中、1394受信）。

【0057】

また、AVインタフェース22から送信すべきデータの転送処理が全て終了するまでに1394インタフェース21がデータを送信する場合、同様にI/Fコントローラ11は、システムバス13を使用して同1394インタフェース21から送信するデータをメモリ14から取り込むことが可能である（図中、1394送信）。

【0058】

さらに、AVインタフェース22から送信すべきデータの転送処理が全て終了するまでに該AVインタフェース22がデータを受信する場合、同様にI/Fコントローラ11は、システムバス13を使用してその受信データをメモリ14へ格納することが可能である（図中、AV受信）。その際、I/Fコントローラ11は、上記したように、AVインタフェース22が受信したデータを擬似的なアイソクロナスパケットに変換してメモリ14へ格納する。

【0059】

即ち、本実施形態では、DMA27は、AVインタフェース22及びシステムバス13間のデータ転送を擬似的なアイソクロナスパケットを用いて行う。これにより、DMA27は、1394インタフェース21及びAVインタフェース22とシステムバス13との間で行うデータ転送を、システムバス13の帯域の占有率を考慮しながら制御することができる。言い換えれば、DMA27は、1394インタフェース21及びAVインタフェース22の双方が行う転送状況に応じて、各々の転送時に使用するシステムバス13の帯域を確保する。

【0060】

以上記述したように、本実施形態によれば、以下の効果を奏する。

（1）I/Fコントローラ11は、デジタル信号の入出力を制御する1394インタフェース21、アナログ信号の入出力を制御するAVインタフェース22、及び各インタフェース21、22とシステムバス13との間のデータ転送を制御するDMA27を含む。AVインタフェース22及びシステムバス13間のデータ転送にはDMA27のチャンネルが割り当てられ、DMA27は擬似的なアイソクロナスパケットを用いてデータ転送を行う。これにより、AVインタフェース22及びシステムバス13間の転送を軽減させることができる。従って、DMA27は、1394インタフェース21及びAVインタフェース22の双方とシステムバス13との間のデータ転送を、システムバス13の帯域の占有率を考慮しながら行うことができる。その結果、パソコン51と複数の周辺機器（ハードディスク52、ビデオカメラ53）との間で行うデータ転送の効率を向上させることができ、それらの間のデータ転送を実質的にほぼ同時に行うことが可能となる。

【0061】

(2) AVインタフェース22とシステムバス13との間の転送を擬似的なアイソクロナスパケットを用いて行うようにしたため、1394インタフェース21とAVインタフェース22の双方が同時に転送を実行した場合にも、システムバス13の帯域が不足して転送データが破綻することが防止される。即ち、AVインタフェース22及びシステムバス13間で行うデータ転送によりシステムバス13の帯域が長時間占有されることが防止されるため、1394インタフェース21が受信したデータを格納するための受信バッファ31がオーバフローとなることが防止される。従って、I/Fコントローラ11に大容量の受信バッファ31を備える必要はない。

【0062】

(3) DMA27のチャネルをAVインタフェース22及びシステムバス13間の転送に割り当て、1394インタフェース21とAVインタフェース22の双方が行うデータ転送を同一のDMA27により制御するようにしたため、I/Fコントローラ11を構成する回路部品点数を削減することができる。これにより、回路規模を縮小することができるため、マザーボードやアドインカード等のボード12上の実装面積を削減することができる。

【0063】

尚、上記実施形態は、以下の態様で実施してもよい。

- ・本実施形態では、1394インタフェース21を搭載したが、USBインタフェース等の他のデジタルインタフェースであってもよい。同様に、AVインタフェース22に替えて他のアナログインタフェースとしてもよい。即ち、アナログインタフェースとシステムバス13との間のデータ転送でDMA27が扱うデータを、そのDMA27が制御しやすい擬似的なデータに変換するように構成することで、本実施形態と同様の効果を奏することが可能である。

【0064】

- ・本実施形態では、DMA27は、PCIバスマスタ28を介してシステムバス13（PCIバス）上のメモリ14にアクセスするバスマスタ方式を採用したが必ずしもこの形態に限定されない。尚、システムバス13は必ずしもPCIバスに限定されない。

【 0 0 6 5 】

上記実施形態の特徴をまとめると以下ようになる。

(付記 1) 複数の機器とデータ転送を行うための半導体装置であって、
デジタル信号の入出力を制御するデジタルインタフェースと、
アナログ信号の入出力を制御するアナログインタフェースと、
コンピュータ内部のメモリとバスを介して接続され前記デジタルインタフェースのデータ転送を制御する転送制御装置と、を備え、

該転送制御装置を用いて前記アナログインタフェースのデータ転送を制御することを特徴とする半導体装置。

(付記 2) 前記デジタルインタフェースと前記アナログインタフェースは少なくとも 1 つずつ設けられ、前記転送制御装置は 1 つ設けられていることを特徴とする半導体装置。

(付記 3) 前記転送制御装置が前記メモリをアクセスして前記アナログインタフェースと前記バスとの間で転送するデータは、所定のデータ長毎に分割されたデータであることを特徴とする付記 1 又は 2 記載の半導体装置。

(付記 4) 前記アナログインタフェースが受信するデータを所定のデータ長毎に分割し、該分割した各々のデータにパケットヘッダ及びトレーラデータを付加して擬似的なパケットデータを生成するパケット挿入回路を備えることを特徴とする付記 1 乃至 3 の何れか一記載の半導体装置。

(付記 5) 前記転送制御装置は、前記アナログインタフェースが送信するデータを所定のデータ長毎に分割し、該分割した各々のデータにパケットヘッダを付加して擬似的なパケットデータを生成する機能を有することを特徴とする付記 1 乃至 4 の何れか一記載の半導体装置。

(付記 6) 前記転送制御装置が生成したパケットデータに付加されているパケットヘッダを除去するためのパケット除去回路を備えることを特徴とする付記 5 記載の半導体装置。

(付記 7) 前記転送制御装置が前記アナログインタフェースと前記バスとの間で行うデータ転送には、前記転送制御装置が前記デジタルインタフェースと前記バスとの間で行うデータ転送のためのチャンネルが送信用と受信用に少なくとも 1

つずつ割り当てられることを特徴とする付記 1 乃至 6 の何れか一記載の半導体装置。

(付記 8) 複数の機器とデータ転送を行うための半導体装置であって、
 デジタル信号の入出力を制御する 1394 インタフェースと、
 アナログ信号の入出力を制御する A V インタフェースと、
 コンピュータ内部のメモリとバスを介して接続され前記各インタフェースが行うデータ転送を制御する DMA コントローラと、
 前記 A V インタフェースが受信するデータにパケットヘッダ及びトレイラデータを付加して擬似的なパケットデータを生成するパケット挿入回路と、
 前記 A V インタフェースが送信するデータを擬似的なパケットデータに変換して前記メモリ内から順次読み出しを行う前記 DMA コントローラが転送するデータからパケットヘッダを除去するパケット除去回路と、
 を備えることを特徴とする半導体装置。

(付記 9) 複数の機器とデータ転送を行うためのデジタルインタフェースとアナログインタフェースとを含む半導体装置のデータ転送制御方法であって、
 前記アナログインタフェースが受信するデータを所定のデータ長毎に分割し、
 該分割した各々のデータにパケットヘッダ及びトレイラデータを付加して擬似的なパケットデータを生成し、該パケットデータを前記半導体装置が備える転送バッファから順次読み出してコンピュータ内部のメモリに転送するようにしたことを特徴とするデータ転送制御方法。

(付記 10) 前記パケットデータを前記メモリに格納する際に、前記パケットヘッダ及び前記トレイラデータを除去するようにしたことを特徴とする付記 9 記載のデータ転送制御方法。

(付記 11) 複数の機器とデータ転送を行うためのデジタルインタフェースとアナログインタフェースとを含む半導体装置のデータ転送制御方法であって、
 前記アナログインタフェースが送信するデータを所定のデータ長毎に分割し、
 該分割した各々のデータにパケットヘッダを付加して生成した擬似的なパケットデータを生成し、該パケットデータをコンピュータ内部のメモリから順次読み出して前記半導体装置が備える転送バッファに転送するようにしたことを特徴とす

るデータ転送制御方法。

(付記 12) 前記パケットデータを前記転送バッファに格納する際に、前記パケットヘッダを除去するようにしたことを特徴とする付記 11 記載のデータ転送制御方法。

【0066】

【発明の効果】

以上詳述したように、本発明によれば、データを破綻させることなくデジタル信号とアナログ信号の双方のデータ転送を効率良く行うことのできる半導体装置及びデータ転送制御方法を提供することができる。

【図面の簡単な説明】

【図 1】 本実施形態のインタフェースコントローラの構成を示すブロック図である。

【図 2】 分割したデータのフォーマットを示す説明図である。

【図 3】 データの取り込み方法を示すタイミングチャートである。

【図 4】 システムバスの状態遷移図である。

【図 5】 パソコンと周辺機器との接続例を示す構成図である。

【図 6】 従来のインタフェースコントローラの構成を示すブロック図である。

【図 7】 従来におけるシステムバスの状態遷移図である。

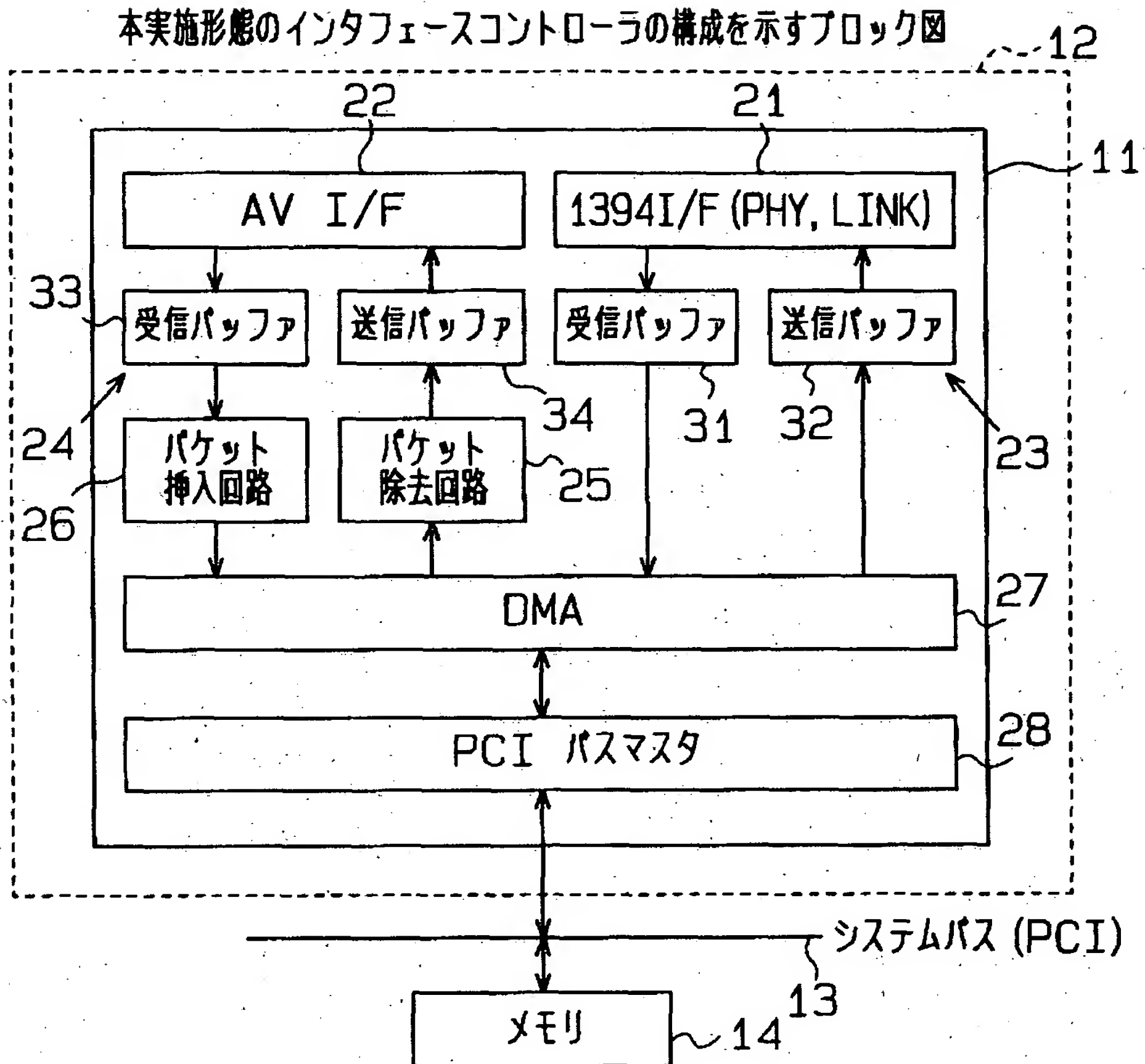
【符号の説明】

- 11 半導体装置としてのインタフェースコントローラ
- 13 バスとしてのシステムバス
- 14 メモリ
- 21 デジタルインタフェースとしての 1394 インタフェース
- 22 アナログインタフェースとしての AV インタフェース
- 25 パケット除去回路
- 26 パケット挿入回路
- 27 転送制御装置としての DMA コントローラ (DMA)
- 51 コンピュータとしてのパソコン

5 2, 5 3 複数の機器としてのハードディスク, ビデオカメラ

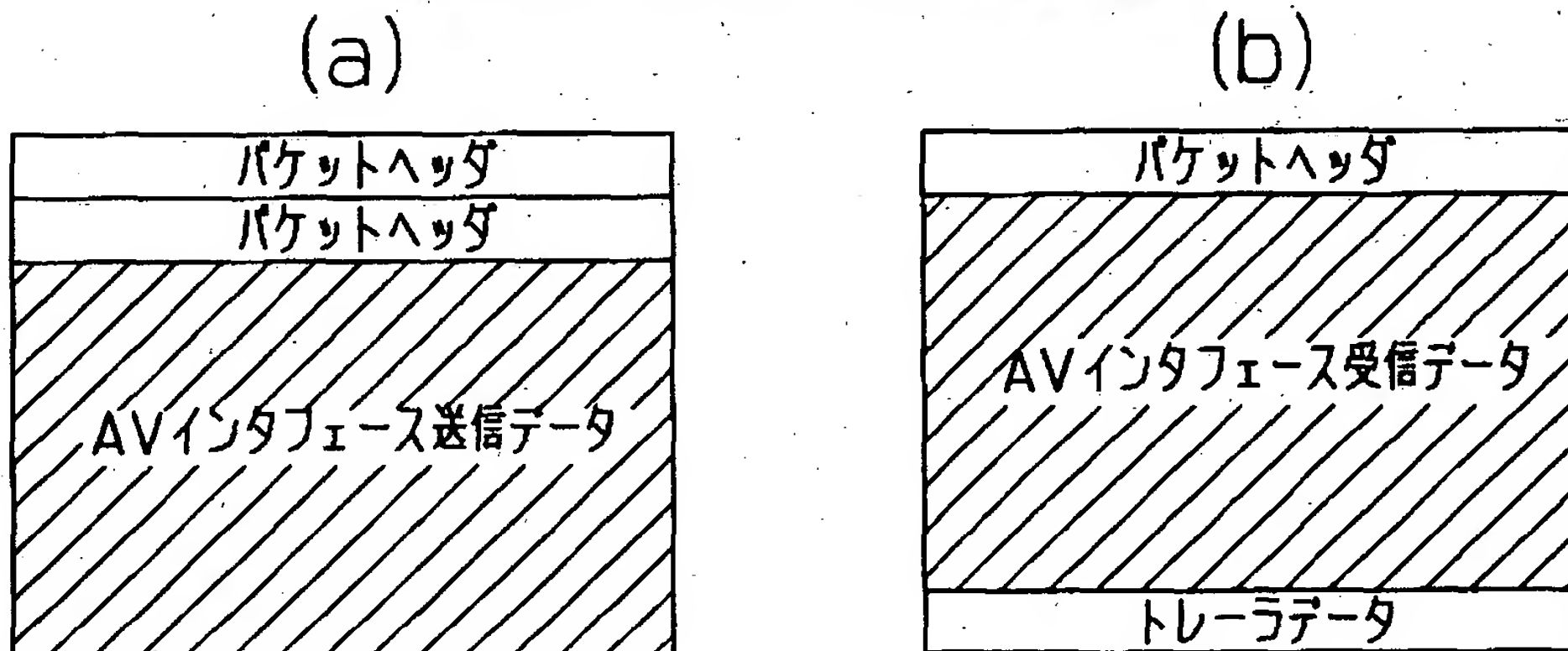
【書類名】 図面

【図 1】

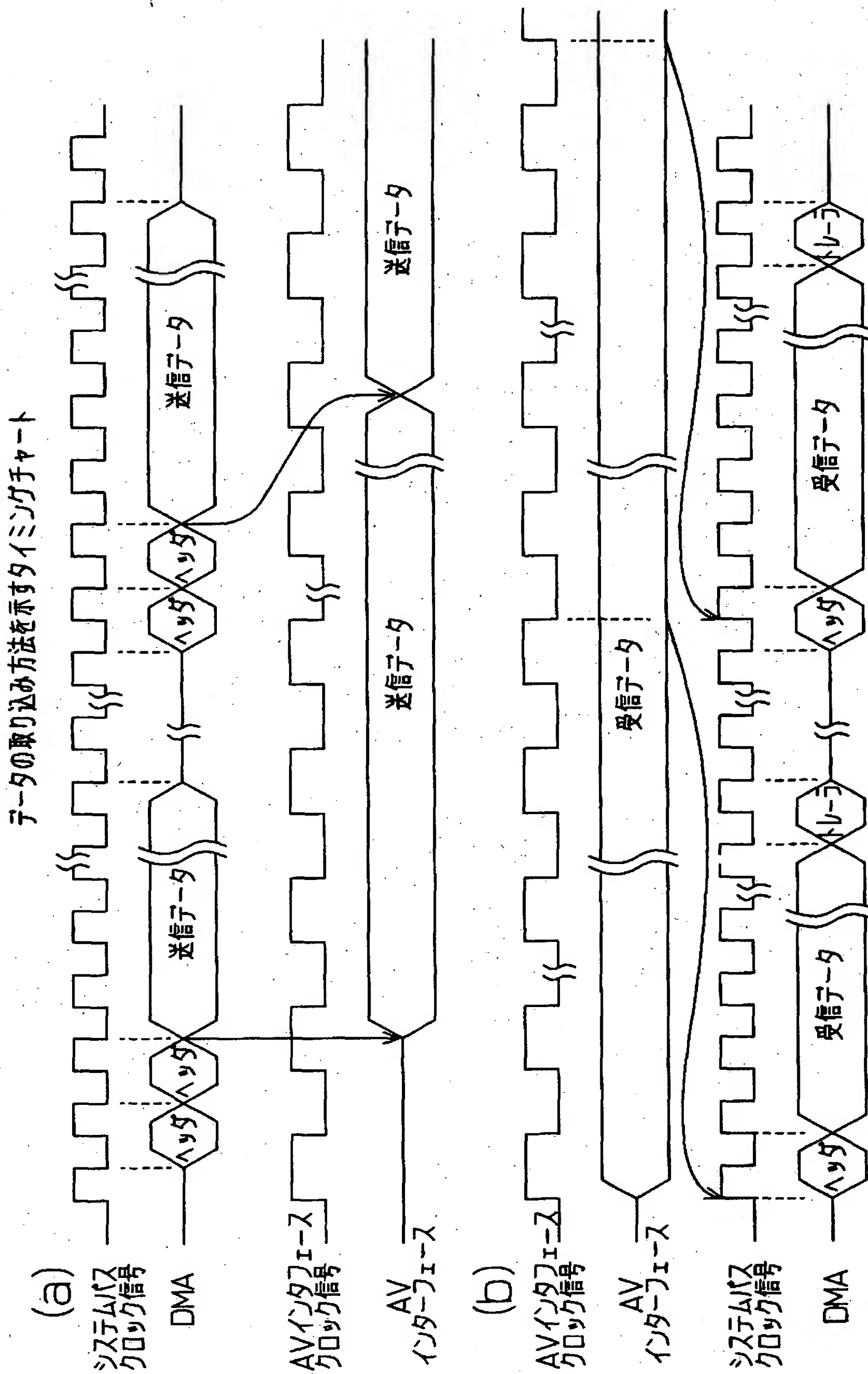


【図 2】

分割したデータのフォーマットを示す説明図



【図 3】



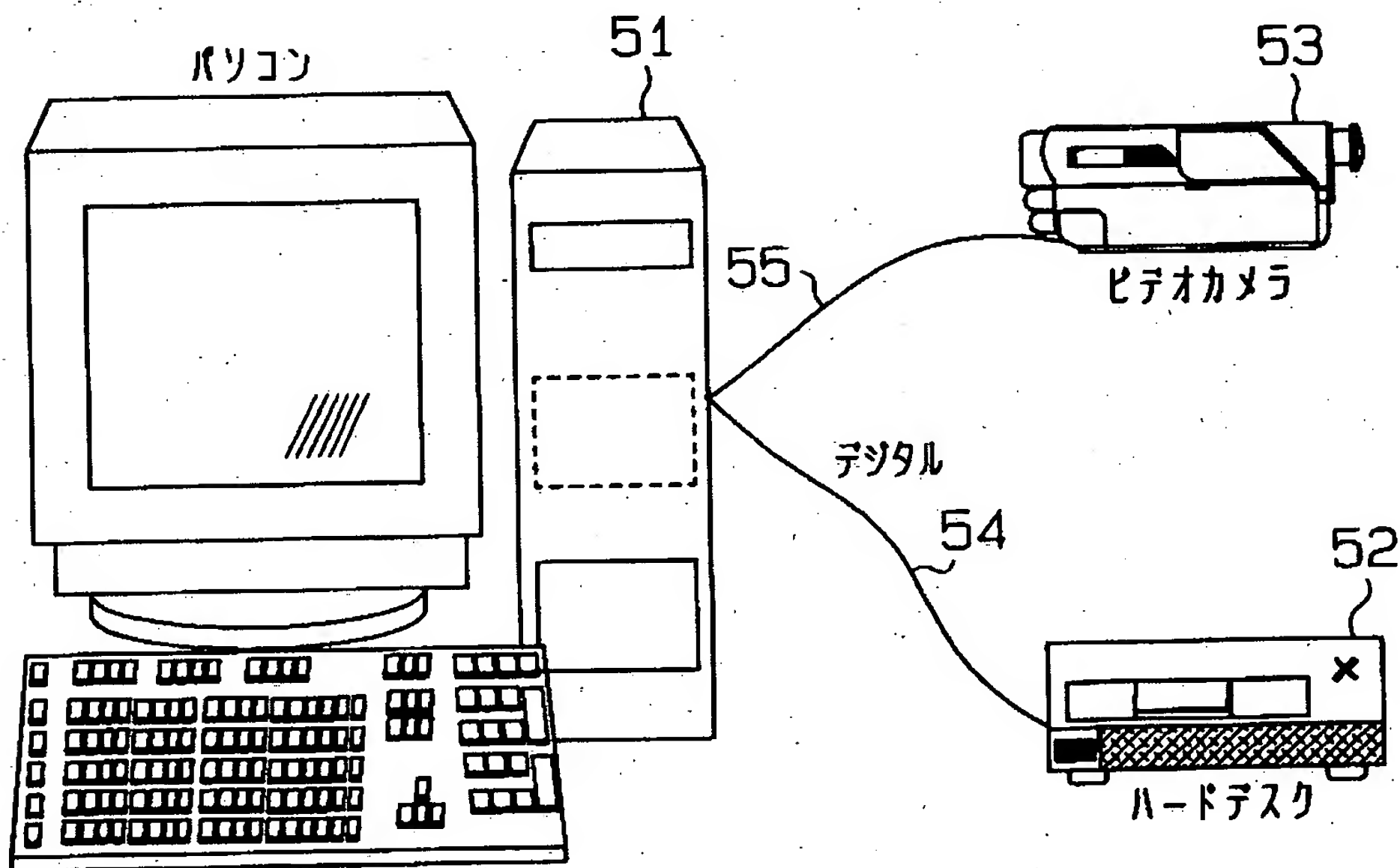
【図 4】

システムバスの状態遷移図

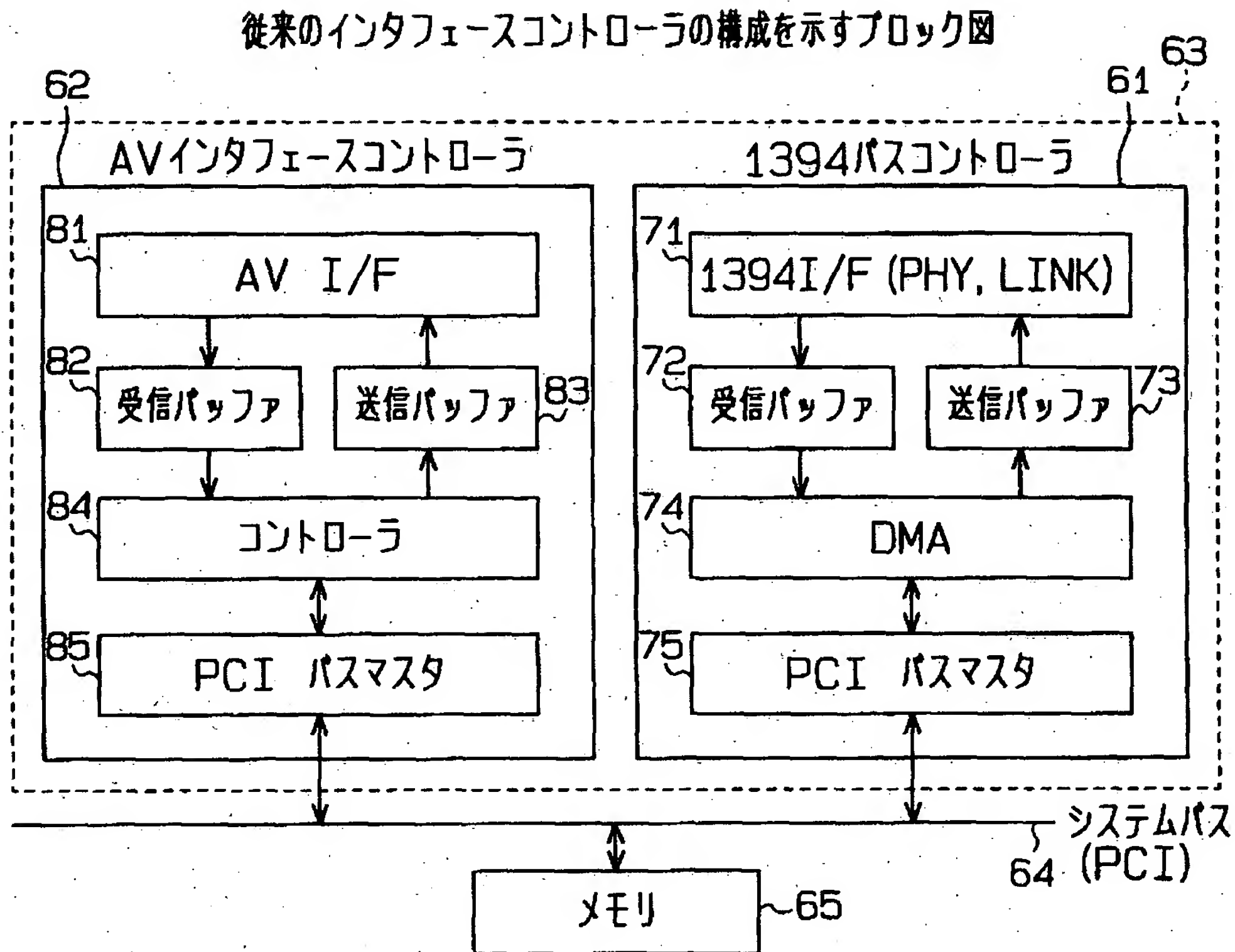


【図 5】

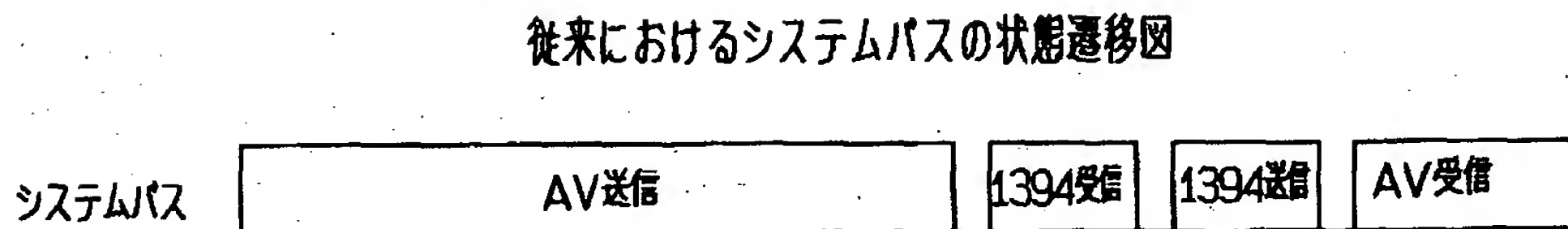
パソコンと周辺機器との接続例を示す構成図



【図 6】



【図 7】



【書類名】 要約書

【要約】

【課題】 データを破綻させることなくデジタル信号とアナログ信号の双方のデータ転送を効率良く行うことのできる半導体装置を提供すること。

【解決手段】 I/Fコントローラ11のDMA27は、1394インタフェース21及びシステムバス13間、AVインタフェース22及びシステムバス13間の双方のデータ転送を制御する。AVインタフェース22及びシステムバス13間のデータ転送にはDMA27のチャンネルが割り当てられ、DMA27は、データ転送を擬似的なアイソクロナスパケットを用いて行う。これにより、AVインタフェース22及びシステムバス13間のデータ転送が軽減される。

【選択図】 図1

出 願 人 履 歴 情 報

識別番号

[000005223]

1. 変更年月日 1996年 3月26日

[変更理由] 住所変更

住 所 神奈川県川崎市中原区上小田中4丁目1番1号

氏 名 富士通株式会社